

61-088565

**FIELD-EFFECT TYPE TRANSISTOR**

Patent Number: JP61088565  
Publication date: 1986-05-06  
Inventor(s): HAYASHI HISAO  
Applicant(s):: SONY CORP  
Requested Patent: JP61088565  
Application Number: JP19840209549 19841005  
Priority Number(s):  
IPC Classification: H01L29/78 ; H01L27/12 ; H01L29/52  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To reduce the area of a FET by oppositely arranging an electrode shorter than the length of a gate electrode to said gate electrode through a channel region and an insulating film and connecting said short electrode to a drain region.

**CONSTITUTION:** A gate electrode 5 is formed onto a channel region 4C between a source region 4S and a drain region 4D through a gate insulating film 6. A second drain electrode 2 shorter than the electrode 5 is disposed oppositely to the electrode 5 through the region 4C and an insulating film 3. The electrode 2 is connected to a drain electrode 8. In such constitution, apparent channel length is shortened and a mutual conductance value is increased when positive gate voltage is applied to the electrode 5. Accordingly, the mutual conductance value can be kept at a fixed value even when channel width is shortened, thus reducing an element area.

---

Data supplied from the esp@cenet database - I2

## ⑫ 公開特許公報(A)

昭61-88565

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)5月6日

H 01 L 29/78  
27/12  
29/528422-5F  
7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 電界効果型トランジスタ

⑯ 特 願 昭59-209549

⑰ 出 願 昭59(1984)10月5日

⑱ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 小 池 晃 外1名

## 明 細 書

## 1. 発明の名称

電界効果型トランジスタ

## 2. 特許請求の範囲

絶縁性基体上の薄膜半導体層に形成したソース、ドレイン領域と、チャンネル領域と絶縁膜を介して配されたゲート電極を有する電界効果型トランジスタにおいて、上記ゲート電極の長さより短い電極が上記チャンネル領域と絶縁膜を介して上記ゲート電極と対向配置され、かつ上記長さの短い電極が上記ドレイン領域と接続されてなる電界効果型トランジスタ。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は絶縁性基体上に薄膜半導体層を被着形成してなる電界効果型トランジスタに関する。

(従来の技術)

従来より、石英ガラス等の絶縁性基板上にシリコン(Si)等の半導体薄膜を被着形成してなる薄膜トランジスタ(TFT)が一般に知られている。

この薄膜トランジスタは、通常、電界効果型トランジスタであり、ドレイン・ソース間の電圧  $V_{DS}$  を一定とした場合に、ドレイン電流  $I_D$  がゲート電圧  $V_G$  によって制御されるものである。相互コンダクタンス  $g_m$  は上記ドレイン電流  $I_D$  とゲート電圧  $V_G$  の比、すなわち、

$$g_m = I_D / V_G \quad \dots\dots\dots \text{第1式}$$

で表される。また、ドレイン電流  $I_D$  は次式により表される。

$$I_D \propto W / L \cdot A \quad \dots\dots\dots \text{第2式}$$

ここで、 $W$  はチャンネル領域の幅いわゆるチャンネル幅であり、 $L$  は該チャンネル領域の長さいわゆるチャンネル長である。なお、 $A$  は、ゲート絶縁膜の膜厚  $d$  と半導体層中のキャリアの移動度  $\mu$  から決定される定数である。

すなわち、上記第1式および第2式から明らかに、相互コンダクタンス  $g_m$  は、ゲート電圧  $V_G$  が一定の場合には、チャンネル幅  $W$ 、チャンネル長  $L$ 、ゲート絶縁膜の膜厚  $d$ 、およびキャリアの移動度  $\mu$  によって定められることになる。

〔発明が解決しようとする問題点〕

ところで、近年、集積回路(IC)の高密度化に伴って、一素子当りの素子形成面積を小さくして集積度を上げることが要望されている。しかしながら、上述したような従来の電界効果型トランジスタでは、素子形成面積を小さくすべくチャンネル幅 $W$ を短くすると、他の条件が同じであってもドレイン電流 $I_D$ が減少し相互コンダクタンス $g_m$ の値が小さくなってしまふ。このため、相互コンダクタンス $g_m$ を所定値に保ち、かつ素子形成面積を小さくするには、チャンネル幅 $W$ 以外の条件を変化させれば良いが、これは容易なことではない。

また、Nチャンネル型の電界効果型トランジスタにおいて、負のゲート電圧 $V_G$ を印加した場合のドレイン電流 $I_D$ 、すなわちリーク電流はやや大きいものとなっていた。

そこで、本発明は、上述した従来の問題点に鑑みて提案されたものであり、相互コンダクタンス $g_m$ の値を小さくすることなく電界効果型トラン

ジスタの素子形成面積を小さくすることを目的とする。

また、Nチャンネル型の電界効果型トランジスタにおけるリーク電流を減少させることを他の目的とする。

〔問題点を解決するための手段〕

本発明に係る電界効果型トランジスタは上述した目的を達成するために、絶縁性基体上の薄膜半導体層に形成したソース、ドレイン領域と、チャンネル領域と絶縁膜を介して配されたゲート電極を有する電界効果型トランジスタにおいて、上記ゲート電極の長さより短い電極が上記チャンネル領域と絶縁膜を介して上記ゲート電極と対向配置され、かつ上記長さの短い電極が上記ドレイン領域と接続されてなることを特徴とするものである。

〔作用〕

本発明によれば、ゲート電極より長さが短かくチャンネル領域と絶縁膜を介して該ゲート電極と対向配置され、かつドレイン領域と接続された電極を設けることにより、チャンネル領域中の該電極と対向する部分にゲート電圧によって形成され

るチャンネルとは別のチャンネルが形成される。

〔実施例〕

以下、本発明に係る電界効果型トランジスタの一実施例について、図面を用いて詳細に説明する。

最初に、本実施例の電界効果型トランジスタの概略の構成について、第1図を参照しながら説明する。ゲート電極5は、ソース領域4Sとドレイン領域4Dとで挟まれたチャンネル領域4Cとゲート絶縁膜6を介して配されている。また、上記ゲート電極5の長さより短い第2ドレイン電極2は、上記チャンネル領域4Cと絶縁膜3を介して上記ゲート電極5と対向配置されている。更に、上記ソース領域4S側にはソース電極7が、上記ドレイン領域4D側にはドレイン電極8がそれぞれ形成されており、上記第2ドレイン電極2は該ドレイン電極8と接続されている。

次に、上述したような構成を有する本実施例の電界効果型トランジスタを具体的に、第2図～第4図の製造工程を順に示す概略断面図を用いて説明する。

まず、第2図に示すように、石英ガラス等の絶縁性基板1上に不純物としてたとえばリン(P)を添加した不純物添加多結晶シリコン層をCVD(化学気相成長)法等により被着形成した後、パターンエッチングを行って第2ドレイン電極2を形成する。次に、二酸化シリコン( $SiO_2$ )等の絶縁膜3を形成する。そして、この絶縁膜3上に多結晶シリコン層をCVD法等により被着形成した後、パターンエッチングを行って能動領域4を形成する。

続いて、二酸化シリコン等の絶縁膜を形成し、不純物としてたとえばリン(P)を添加した不純物添加多結晶シリコン層を形成した後、パターンエッチングを行って、第3図に示すように、ゲート電極5およびゲート絶縁膜6を形成する。

続いて、ゲート電極5およびゲート絶縁膜6を拡散マスクとするいわゆるセルフアライン法等により、多結晶シリコンからなる能動領域4に不純物を拡散し、第4図に示すように、低抵抗( $N^+$ )のソース領域4Sおよびドレイン領域4Dを形成

する。これらのソース領域4Sとドレイン領域4Dとの間のゲート下部領域はトランジスタ素子の動作中にチャンネルが形成されるチャンネル領域4Cとなる。そして、更に電極となるアルミニウム(Aℓ)を被着形成しパターンエッチングを行い、ソース電極7およびドレイン電極8をそれぞれ形成する。なお、上記第2ドレイン電極2とドレイン電極8とは電氣的に接続されている。

このようにして製造された本実施例の電界効果型トランジスタはNチャンネル型であり、上記第2ドレイン電極2はゲート電極5よりも長さが短かく、絶縁膜3とチャンネル領域4Cを介して該ゲート電極5と対向配置されている。また、上記第2ドレイン電極2とドレイン電極8とは電氣的に接続されているため、等電位となる。

上述した電界効果型トランジスタは、通常、第1図に示すように、ソース電極7を接地するとともに、ドレイン電極8に正のドレイン・ソース間電圧 $V_{DS}$ を印加して動作させる。そして、ゲート電極5に印加するゲート電圧 $V_G$ の極性に応じて

た第2式からも明らかなように、ドレイン電流 $I_D$ は増加する。この結果、ゲート電圧 $V_G$ に対するドレイン電流 $I_D$ の変化は第5図の伝達特性図に示すようになり、実線で示す本実施例の電界効果型トランジスタによれば、破線で示す従来の電界効果型トランジスタと比べ、ドレイン電流 $I_D$ は相対的に増加している。そして、ドレイン電流 $I_D$ が増加することにより、前述した第1式から明らかなように、相互コンダクタンス $g_m$ の値も大きくなる。これは、特に、ソース・ドレイン間の電圧 $V_{DS}$ に対してゲート電圧 $V_G$ が小さい場合に、大きな効果がある。

一方、ゲート電極5に負のゲート電圧 $V_G$ を印加した場合には、チャンネル領域4Cは非導通状態となる。この時、上記ゲート電極5に印加された電圧 $V_G$ によりチャンネル領域4Cの図中上部にホールが誘起され、このホールによりドレイン電流 $I_D$ すなわちリーク電流がわずかに流れるが、上記第2ドレイン電極2に印加される電圧 $V_{DS}$ により形成されたチャンネル10によってホールの

チャンネル領域4Cは導通状態あるいは非導通状態とされる。また、第2ドレイン電極2にも電圧 $V_{DS}$ が印加されるため、この電圧 $V_{DS}$ によりチャンネル領域4C中の該第2ドレイン電極2と対向する部分に電子が誘起され、ゲート電圧 $V_G$ により形成されるチャンネルとは別のチャンネル10が形成され反転層が形成されたようになる。

ゲート電極5に正のゲート電圧 $V_G$ を印加した場合には、該ゲート電圧 $V_G$ によりチャンネル領域4Cの図中上部にチャンネルが形成され該チャンネル領域4Cは導通状態となる。そして、上記第2ドレイン電極2に印加された電圧 $V_{DS}$ により誘起されたチャンネル10の分だけ見かけ上のチャンネル長 $L_0$ は実際のチャンネル長 $L$ よりも短くなる。すなわち、見かけ上のチャンネル長 $L_0$ は、ソース領域4Sとチャンネル10間の長さ $L_1$ とドレイン領域4Dとチャンネル10間の長さ $L_2$ の和に略等しくなる( $L_0 \approx L_1 + L_2$ )。従って、導通状態におけるチャンネル領域4Cのいわゆるチャンネル抵抗は従来と比べ小さくなり、前述し

流れが阻止されるため、該リーク電流は従来と比べ第5図に示すように減少する。

このように、本実施例の電界効果型トランジスタでは、ゲート電極5よりも長さが短い第2ドレイン電極2が、絶縁膜3とチャンネル領域4Cを介して該ゲート電極5と対向するように形成されており、該第2ドレイン電極2がドレイン電極8と接続されている。このため、ゲート電極5に正のゲート電圧 $V_G$ を印加した場合には、見かけ上のチャンネル長 $L_0$ は実際のチャンネル長 $L$ よりも短くなり、相互コンダクタンス $g_m$ の値は大きくなる。従って、従来と比べチャンネル幅 $W$ を短かくしても相互コンダクタンス $g_m$ の値を所定値に保つことができ、素子形成面積を小さくすることができる。また、相互コンダクタンス $g_m$ の値が大きくなったことにより、トランジスタの応答速度が速くなるとともに、電源電圧が小さくて済むという利点も得られる。

一方、ゲート電極5に負のゲート電圧 $V_G$ を印加した場合には、該ゲート電圧 $V_G$ により誘起さ

れたホールの流れが第2ドレイン電極2に印加される電圧 $V_{DS}$ により形成されたチャンネル10によって阻止されるため、従来と比べリーク電流を減少させることができる。

〔発明の効果〕

上述した実施例の説明から明らかなように、本発明によれば、ゲート電極の長さより短い電極がチャンネル領域と絶縁膜を介して該ゲート電極と対向配置され、かつ該電極がドレイン領域と接続されているため、相互コンダクタンス $g_m$ の値を小さくすることなく電界効果型トランジスタの素子形成面積を小さくすることができる。また、Nチャンネル型の電界効果型トランジスタにおけるリーク電流を減少させることができる。

#### 4. 図面の簡単な説明

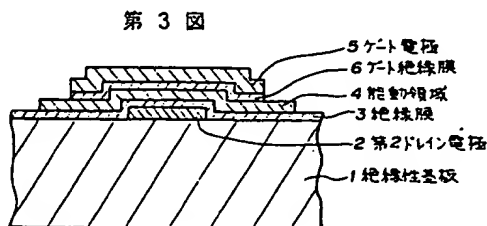
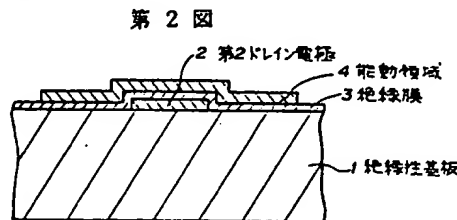
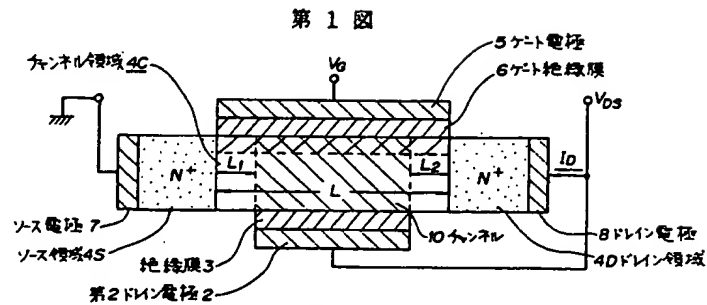
第1図は本発明の一実施例である電界効果型トランジスタを模式的に示す断面図、第2図ないし第4図は上記実施例の電界効果型トランジスタの製造工程を順に示す概略断面図、第5図はゲート電圧 $V_G$ に対するドレイン電流 $I_D$ の変化を示す

伝達特性図である。

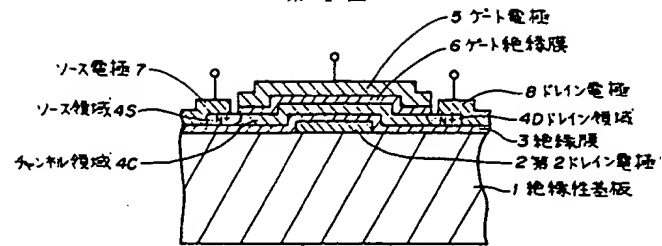
- |           |            |
|-----------|------------|
| 1…絶縁性基板   | 2…第2ドレイン電極 |
| 3…絶縁膜     | 4S…ソース領域   |
| 4D…ドレイン領域 | 4C…チャンネル領域 |
| 5…ゲート電極   | 6…ゲート絶縁膜   |

特 許 出 願 人 ソニー株式会社

代理人 弁理士 小 池 晃  
同 田 村 栄 一



第 4 図



第 5 図

